

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-098200

(43)Date of publication f application : 14.04.1998

(51)Int.Cl.

H01L 29/786
H01L 21/8244
H01L 27/11

(21)Application number : 09-227696

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 25.08.1997

(72)Inventor : MARIO MA PERERA
FAVORIES ASSADERAGY
LAWRENCE FREDERICK WAGNER JR

(30)Priority

Priority number : 96 712538 Priority date : 12.09.1996 Priority country : US

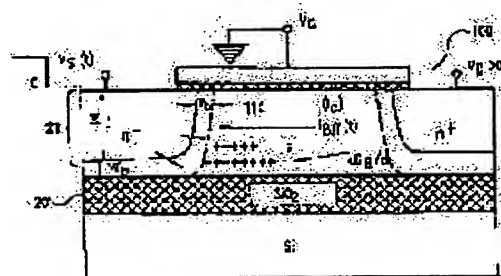
08

(54) SILICON-ON-INSULATOR FIELD EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a field effect transistor which can reduce a temporary parasitic bipolar current to a low level by a silicon-on-insulator technique.

SOLUTION: A gap is provided between an insulator layer 20' and a source and/or drain region of a silicon-on-insulator(SOI) field effect transistor, and the gap is made smaller than the thickness of a depletion region 110 usually surrounding the source and/or drain region, preferably with a bias of 0V. The gain in a parasitic bipolar transistor formed, together with the field effect transistor, is temporarily decreased to increase an effective base/emitter junction capacitance only during an operational mode in which parasitic bipolar conduction dominates the normal operation of the field effect transistor. Such a temporary decrease in the gain combined with the temporary decrease of high frequency response is reduced to such an extent, that a parasitic bipolar current spike is larger than a previously obtained spike. And this technique has sufficient compatibility with other techniques for decreasing such a current spike.



LEGAL STATUS

[Date of request for examination] 25.09.1998
[Date of sending the examiner's decision of rejection] 19.02.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3333118
[Date of registration] 26.07.2002
[Number of appeal against examiner's decision of rejection] 2002-08525
[Date of requesting appeal against examiner's decision of rejection] 14.05.2002
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-98200

(43) 公開日 平成10年(1998) 4月14日

(51) Int. Cl.⁶

識別記号

H01L 29/786
21/8244
27/11

F I

H01L 29/78
27/10
29/78

616S
381
613A
618F
626C

審査請求 未請求 請求項の数17 OL (全13頁)

(21) 出願番号 特願平9-227696

(22) 出願日 平成9年(1997) 8月25日

(31) 優先権主張番号 08/712538

(32) 優先日 1996年9月12日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 マリオ・エムエイ・ペレラ

アメリカ合衆国 12601 ニューヨーク州
ボウキープシー ビーチウッド パーク
15

(74) 代理人 弁理士 坂口 博 (外1名)

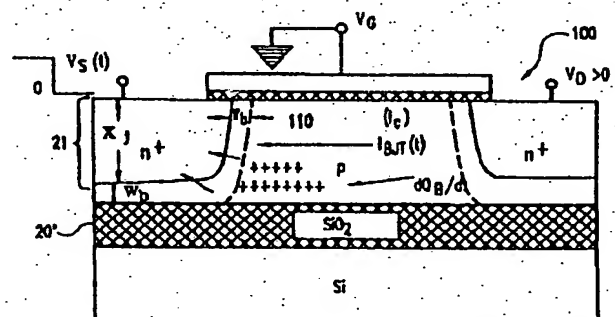
最終頁に続く

(54) 【発明の名称】 シリコン・オン・インシュレータ電界効果トランジスタ

(57) 【要約】

【課題】 一時的な寄生バイポーラ電流を低レベルまで減少させるシリコン・オン・インシュレータ技術を用いた電界効果トランジスタを提供する。

【解決手段】 シリコン・オン・インシュレータ (SOI) 電界効果トランジスタのソース領域24および/またはドレイン領域22と、絶縁体層20'との間にギャップを設け、このギャップを、好ましくは0Vバイアスで、ソース領域24および/またはドレイン領域22を普通に取り囲む空乏領域110の厚さよりも小さくする。電界効果トランジスタとともに形成される寄生バイポーラトランジスタのゲインを、一時的に減少させ、有効なベース・エミッタの接合容量を、寄生バイポーラ導通が電界効果トランジスタの通常動作を支配している動作モードの間のみ増大させる。高周波数応答の一時的な減少と組み合わされるゲインのこのような一時的な減少は、寄生バイポーラ電流スパイクを以前得られたものより大きい程度にまで減少させ、このような電流スパイクを減少させる他の技術と十分互換性がある。



【特許請求の範囲】

【請求項1】絶縁体層上のシリコン層に形成されたソース領域およびドレイン領域を各々有するシリコン・オン・インシュレータ電界効果トランジスタにおいて、前記ソース領域およびドレイン領域の一つと前記絶縁体層との間にギャップを有し、前記ギャップが、前記ソース領域およびドレイン領域の前記一つと前記シリコン層との間のほぼ0Vのバイアスにおける空乏領域の厚さと等しいかまたは小さい幅であることを特徴とする、シリコン・オン・インシュレータ電界効果トランジスタ。

【請求項2】前記ギャップが、前記ソース領域およびドレイン領域の前記一つと前記シリコン層との間の0Vのバイアスにおける空乏領域の厚さに等しい幅であることを特徴とする、請求項1に記載のシリコン・オン・インシュレータ電界効果トランジスタ。

【請求項3】約 $3 \times 10^{18}/\text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、請求項1に記載のシリコン・オン・インシュレータ電界効果トランジスタ。

【請求項4】約 $6 \times 10^{17}/\text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、請求項1に記載のシリコン・オン・インシュレータ電界効果トランジスタ。

【請求項5】約 $3 \times 10^{18}/\text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、請求項2に記載のシリコン・オン・インシュレータ電界効果トランジスタ。

【請求項6】約 $6 \times 10^{17}/\text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、請求項2に記載のシリコン・オン・インシュレータ電界効果トランジスタ。

【請求項7】シリコン・オン・インシュレータ電界効果トランジスタを有するデジタル論理回路において、前記トランジスタが、絶縁体層の上のシリコン層に形成されたソース領域およびドレイン領域を各々有し、前記トランジスタが、前記ソース領域およびドレイン領域の一つと前記絶縁体層との間にギャップを有し、前記ギャップが前記ソース領域およびドレイン領域の前記一つと前記シリコン層との間のほぼ0Vのバイアスにおける空乏領域の厚さに等しいかまたは小さい幅を有することを特徴とするデジタル論理回路。

【請求項8】前記トランジスタの前記ギャップが、前記ソース領域およびドレイン領域の前記一つと前記シリコン層との間のほぼ0Vのバイアスにおける空乏領域の厚さに等しい幅を有することを特徴とする、請求項7に記載のデジタル論理回路。

【請求項9】前記デジタル論理回路がメモリセルを有し、前記トランジスタが前記メモリセルに接続された転送ゲート・トランジスタであることを特徴とする、請求項7に記載のデジタル論理回路。

【請求項10】前記メモリセルが、双安定回路であることを特徴とする、請求項9に記載のデジタル論理回路。

【請求項11】シリコン・オン・インシュレータ電界効果トランジスタの動作方法において、前記シリコン・オン・インシュレータ電界効果トランジスタのソース領域およびドレイン領域の一つと、前記電界効果トランジスタの下の絶縁体層との間のギャップを空乏領域で満たすステップと、前記空乏領域の厚さを、前記ギャップより小さい厚さに一時的に減少させるステップとを含むことを特徴とする、シリコン・オン・インシュレータ電界効果トランジスタの動作方法。

【請求項12】前記シリコン・オン・インシュレータ電界効果トランジスタが形成されているシリコン層に電圧を印加するステップをさらに含むことを特徴とする、請求項11に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

【請求項13】前記電界効果トランジスタのソースおよびドレインの両方に、高論理レベルの電圧を印加するステップと、

前記電界効果トランジスタの前記ソース領域およびドレイン領域の一つに、低論理レベルの電圧を連続して印加するステップとをさらに含むことを特徴とする、請求項11に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

【請求項14】前記電界効果トランジスタに接続されたディスチャージ回路のインピーダンスによって、前記電界効果トランジスタの寄生バイポーラ電流を制限するステップをさらに含むことを特徴とする、請求項13に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

【請求項15】前記電界効果トランジスタとともに形成された寄生バイポーラ・トランジスタのゲインを、チャネル・ドーパント濃度によって制限するステップをさらに含むことを特徴とする、請求項11に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

【請求項16】前記空乏領域の厚さを一時的に減少させるステップが、前記電界効果トランジスタの高周波数応答を一時的に減少させるステップをさらに含むことを特徴とする、請求項11に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

【請求項17】前記空乏領域の厚さを一時的に減少させるステップが、前記電界効果トランジスタとともに形成された寄生バイポーラトランジスタのゲインを一時的に減少させるステップをさらに含むことを特徴とする、請求項11に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に、シリコン・オン・インシュレータ (silicon on insulator; SOI) 技術を用いた電界効果トランジスタ (FET) の構造に関し、特に、スタティック・ランダム・アクセス・メモリ (SRAM) に用いられる SOI CMOS トランジスタ、および SOI 技術によって形成されたバス・ゲートまたは転送ゲートを用いた他のデバイスに関する。この他のデバイスでは、転送ゲートとして FET とともに形成される寄生バイポーラ・トランジスタの一時的な電流は、メモリセルの不安定性を引き起こす。

【0002】

【従来の技術】データ・プロセッサは、実行する命令とその命令に従って操作が行われるデータとの両方を記憶するメモリ配列を備えなければならない。一般には、幾つかの様々な種類のメモリ・デバイスが用いられ、これらのデバイスは、その中に記憶されたデータを変換する必要性と、アクセス速度と、アクセスされるデータ量と、現在のデータ・プロセッサの動作速度を維持するのに必要なアクセス周波数とに依存して用いられている。一般に、大容量記憶装置は、かなりの量のランダム・アクセス・メモリと共に、アプリケーション・プログラムおよびファイルの記憶用に備えられる。ランダム・アクセス・メモリからは、ごく少量 (例えば、バイト群) のデータおよび/または命令が、極めて高速かつ高周波でアクセスされる。この大容量記憶装置の見掛け上のアクセス時間を改良するためには、多くの場合、キャッシュ方式が導入される。

【0003】ランダム・アクセス・メモリ (RAM) の多くは、一般に、いわゆるダイナミック RAM すなわち DRAM 内に備えられている。というのは、ダイナミック・メモリセルは、非常に少ないエレメント数と、非常に高い集積密度とを有し、1チップあたりのメモリ容量を容易に達成できるからである。しかしながら、DRAM は、最適アクセス速度を与えない。というのは、DRAM は、記憶された信号を保持するために周期的にリフレッシュしなければならない、リフレッシュ動作が行われている間は利用できないからである。また、記憶された信号は、漏洩する極めて少量の電荷として容量的に記憶されるので、センス増幅器の動作は幾分低速になる。従って、いわゆるスタティック RAM (SRAM) が、価格はかなり高いが、一般に、プロセッサによる最適な高速アクセス用に提供され、複数のトランジスタが個々のメモリセルに必要とされるので、一つのチップ上にかなり少数のメモリセルが設けられることになる。

【0004】最近の SRAM 構造では、メモリセル回路を CMOS 電界効果トランジスタを用いて形成する場合に重要な利点を与えるシリコン・オン・インシュレータ (SOI) 技術をしばしば利用する。この技術は、基板

上に形成される酸化物のような絶縁体層上にアクティブ・デバイスを形成するための薄いシリコン層を形成することを特徴とする。トランジスタのソースおよびドレインは、例えば、シリコン層への注入 (implantation) によって形成されるが、トランジスタのゲートは、パターニングされた酸化物および導体 (例えば、金属) の層状構造を形成することによって形成される。このような構造は、より低い寄生容量 (絶縁体層による) と、フローティング・ボディ・チャージング (floating body charging) の影響により増大されたドレイン電流 (チャネル領域には接続が行われず、フローティング・ボディのチャージングは、しきい値電圧を動的に下げる多数キャリアの過剰な蓄積を与え、その結果、ドレイン電流を増大するからである) とを有することにより、性能上重要なゲインを与える。しかしながら、フローティング・ボディは、このようなトランジスタの動作における動的な不安定性を生じる。

【0005】特に、SOI 電界効果トランジスタは、一般に、注入によって形成された二つの分離された不純物領域を有し、これらの領域は、トランジスタのソースおよびドレインを構成する。それらの間のチャネル領域は、薄いゲート絶縁体および導電ゲートによって覆われている。チャネル領域には電気的接続は行われず、従って、ソースとドレインとの間のチャネル領域は電気的にフローティングである。というのは、ソースおよびドレイン領域は、通常、全体が薄いシリコン層内に広がっているからである。チャネル領域とソースおよびドレインとの間の境界は、それぞれ、通常、逆方向にバイアスされた接合を形成する。チャネル領域における導通は、通常、空乏層をゲート電圧によって制御できる領域内のゲート絶縁体のすぐ下で発生する。しかしながら、ソースおよびドレインの境界における接合はまた、寄生ラテラル・バイポーラ・トランジスタを形成する。この寄生ラテラル・バイポーラ・トランジスタは、実際には、電界効果トランジスタの少し下に存在し、必要なチャネル電流を補足することができる。一方、寄生バイポーラ・デバイスを制御することはできず、あるバイアス条件のもとでは、寄生バイポーラ・デバイスの動作は電界効果トランジスタの動作を一時的に支配し、チャネル電流が必要とされないときにはほぼシリコン層全体を有効に占有する。

【0006】例えば、このようなトランジスタが、SRAMセルまたは他の論理デバイスに使用されるとき、ソース、ゲート、ドレインの各々は、一般に、二つの論理状態の一つに対応する二つの電圧レベルの一つに保持される。しかしながら、例えば、回路の一部がプリチャージされるときに起こるように、ソースおよびドレインが、ともに高論理レベル (例えば、2.5V) にあると、チャネル領域もまた、その電圧にチャージされるこ

とになる。また、トランジスタのドレイン（またはソース）電極が、低論理レベル（例えば、0.0V）に急に変化すると、ドレインまたはソースとチャネル領域との間の接合は順方向にバイアスされることになり、電子がドレインまたはソース（例えば、実際は寄生ラテラル・バイポーラ・トランジスタのエミッタであるビット・ライン拡散）から、チャネル領域（寄生バイポーラ・トランジスタのベースを形成する）に注入される。このソースドレイン（例えば、エミッターコレクタ）電流は、電界効果トランジスタを完全にターン・オフするのに十分な低論理レベルにゲートが保持されているときでも、寄生トランジスタを導通させ、大きな電流スパイクを発生する。この一時的な導通効果は新しく発見され、その詳細および分析は、M. M. Pelellaらによる、“Low-Voltage Transient Bipolar effect Induced by Dynamic Floating Body Charging in Scaled PD/SOI MOSFET's”, IEEE Electron Device Letters, Vol. 17, No. 5, May 1996に開示され、その内容は本明細書に引用されて完全に含まれる。基本的には、この導通効果は、電界効果トランジスタが論理的に“オフ”であっても、寄生バイポーラ・トランジスタが短期間導通し、短い電流スパイクの間に高い電流を発生しないで短時間にターン・オンする電界効果トランジスタの効果をシミュレートするようなものである。

【0007】SRAMセル内では、その詳細に拘わらず、各メモリセル内の一対のトランジスタによって選択および選択解除を行うことが普通である。一対のトランジスタは、セルのメモリすなわち記憶ノードと、書き込みまたは読み出されるデータを搬送するビット・ラインの相補対の各々との間の伝送ゲートとしてそれぞれ接続されている（いわゆる慣例により）。伝送ゲートは、メモリセルのビット・ラインへの接続を制御するワード・ラインに接続された（いわゆる慣例により）ゲートを有している。

【0008】現在のSRAM構造では、読み出しまたは書き込み動作の前に、ビット・ラインを高論理レベルまでプリチャージして、メモリデバイスのより速い応答を可能にするのが一般的である。このようにして、特定のメモリセルの論理状態に拘わらず、メモリの各々のセル内の伝送ゲート（または転送ゲート）の対であるトランジスタの一つが、フローティング・ボディ・チャージングを発生させる高論理レベルにドライブされたソースおよびドレインの両方を有している。

【0009】読み出し動作の際には、選択されたメモリセル上のデータ“0”は、対応するプリチャージされたビット・ラインをディスチャージさせ、データ“1”は、差動電圧がセンス増幅器によって感知されるまで、

対向するプリチャージされたビット・ラインを高論理レベルに保持する。ビット・ラインは、伝送ゲートおよびメモリセルにより比較的低速で低論理レベルにプルされるので、寄生バイポーラの導通は、選択解除された転送ゲートでは見られない。一方、書き込み動作の際には、プリチャージされたビット・ラインの一つは、低論理レベルにドライブされ、遷移はかなり急速に起こり（例えば、遷移状態は、短期間に限定される）、これにより、かなり高い電流レベルを発生し、その結果、上述した不安定性を引き起こす。セルの論理状態が変化するとき、その同じトランジスタは、ドレイン（またはソース）における論理レベルを、高論理レベルから低論理レベルにまで急激に変化させる。従って、この状態は、寄生バイポーラ・トランジスタの導通を生じさせる上述した状態と同一である。

【0010】メモリセルが選択されると、伝送ゲートの電界効果トランジスタは導通し、セルは通常の方法で書き込まれる。しかしながら、トランジスタが選択解除され、電界効果トランジスタのチャネルがゲートの近傍で非導通であるときでも、シリコン層内の寄生ラテラル・バイポーラ・トランジスタは、十分に導通し（フローティング・ボディ上に蓄積された電荷量に依存して）、これにより、対応する選択解除されたメモリセルの状態を変化させる。トランジスタは選択解除されるが、ビット・ラインはドライブされるので、この影響または不安定性は、“半選択書き込み妨害（half-select write disturb）”と呼ばれる。従って、書き込み動作は、電界効果トランジスタが“オン”である選択セルに対して正しく行われるであろう。しかしながら、書き込まれるデータに対し反対の状態にある同じビット・ライン対に接続された全ての選択解除メモリセル（電界効果トランジスタは論理的に“オフ”である）は、書き込み動作によって反転された論理状態を有する危険性に置かれている。

【0011】フローティング・ボディ上の電荷量は小さい（ $0.5 \times 10^{-10} \mu\text{m}$ のゲート上で2.5Vのとき、70Aの厚さのゲート酸化物に対して、約25fCと推定される）が、変位キャパシタ電流（ $C dv/dt$ ）と一緒に、かつビット・ラインの遷移期間に限定された dQb/dt 電流は、より速いビット・ラインの放電率 $1.0V/80\text{psec}$ で数mAの大きさに到達できるドレイン電流スパイクを発生させる。この影響は、ビット・ライン・ドライブの近傍で幾らか多く表れるが、ビット・ラインの遷移電圧は、また他のメモリセルの状態を変化させ、選択されたセルの位置によって予測できない影響を受ける。さらに、この影響は、よりアグレッシブなSRAM構造でゲート酸化物がより薄くなるにつれて、蓄積電荷が増大すると、より顕著になることが予想される。

【0012】転送ゲート・トランジスタに対するメモリ

セル内のドライバ・トランジスタのベータ比の増大によってセル安定性を増大することは、SRAM構造において一般に行われてきた。ベータ比は、個々のチャネル幅／個々のチャネル長の比（例えば、 $W_D / L_D : W_{TG} / L_{TG}$ ）として定義され、2つのトランジスタの相対導電率の大きさである。すなわち、ドライバ・トランジスタがより導通すると、伝送ゲート・トランジスタを通る電流は、これら2つのトランジスタの分圧器作用の故にメモリセル回路への影響は比較的小さい。約1.5～2.0のベータ比が一般のSRAM構造で通常用いられているが、上述した不安定性を適度に防止または抑制するには不十分である。

【0013】半選択書き込み妨害を抑制するためにベータ比を約2.0より大きくすることは、非実際的である。というのは、ドライバ・トランジスタのチャネル幅の増大は、1チップあたり高い集積密度と多数のメモリセルにおける現在または将来のSRAM構造における禁止スペース量を使いつくすことになり、この場合、寸法の増大は、多数倍（潜在的には数百万倍）となる。ドライバ・トランジスタのチャネル長は、他の不所望な影響（例えば、いわゆる短チャネル効果、パンチ・スルーのような）を生じることなしに、著しく減少できない。

【0014】さらに、転送ゲート・トランジスタの導電率の減少は、ベータ比を増大するには非実際的である。というのは、より低い導電率は、セルのアクセス時間を長くし、メモリセルにおける電圧揺動を小さくし、メモリセルの状態の変更を実現できるからである。言い換えれば、2.0よりかなり大きいベータ比では、メモリセルは安定化し、書き込み動作の速度および信頼性がともに小さくなるであろう。要約すると、SRAMセル回路の構造は、半選択書き込み妨害の影響を回避できない。というのは、寄生ラテラル・バイポーラ・トランジスタの電流は、発生すると、SRAMセル回路の構造に従って通常動作で選択された電界効果トランジスタを流れる電流に匹敵するからである。

【0015】従って、メモリセルの安定性を増大し、他の論理デバイスの動作マージンを広げる従来の方法は、この新しく発見された効果（将来さらに明らかになり、集積回路のバス・ゲート論理回路およびメモリのよりアグレッシブな構造となり得る。）を修正する可能性はあるとしても少ししかないことが分かる。

【0016】

【発明が解決しようとする課題】従って、本発明の目的は、一時的な寄生バイポーラ電流を低レベルに減少させるシリコン・オン・インシュレータ技術を用いた電界効果トランジスタを提供することにある。

【0017】また、本発明の他の目的は、SOI FETの動作、性能、または潜在的な集積密度に影響を与えずに、寄生バイポーラ・デバイスのゲインを調整するために相対的ドーパント・レベルの調整の改良を提供する

ことにある。

【0018】さらに、本発明の他の目的は、寄生バイポーラ効果が厳しく制限された高性能のFET構造を提供することにある。

【0019】またさらに、本発明の他の目的は、SOI CMOSを用いた集積回路であるSRAMおよびDRAM内で、増大されたメモリセルの安定性を提供し、他の構造またはその動作特性の変更を最小にすることにある。

【0020】

【課題を解決するための手段】本発明の上記目的および他の目的を達成するために、シリコン・オン・インシュレータの電界効果トランジスタ、およびメモリのような論理回路は、ソースおよびドレインの少なくとも一つと絶縁体層との間にギャップを有し、このギャップが、ソースおよびドレイン領域の一つとシリコン層との間に、ほぼ0Vのバイアスで、空乏領域の厚さに等しいかまたは小さい幅を有する。

【0021】本発明の他の形態によれば、シリコン・オン・インシュレータの電界効果トランジスタを動作する方法は、シリコン・オン・インシュレータの電界効果トランジスタと、電界効果トランジスタの下に絶縁体層との間のギャップを充填する空乏領域を設けるステップと、その空乏領域の厚さをギャップの厚さより小さい厚さまで、一時的に減少させるステップとを含む。

【0022】

【発明の実施の形態】次に、図面、特に図1には、現在SRAMに使用されているSOI FET 10の断面図を示す（以下の説明ではn形FETとしているが、p形FETにも同様に適用できる）。図1の部分は従来技術であるとは認められないが、本発明の理解を容易にするために、図6に同様の図で示された本発明と比較できるように与えられるものであることを理解すべきである。このトランジスタでは、ソースおよびドレインの不純物領域22、24が、絶縁体20'の上に形成されたシリコン層21内の全体に拡がり、絶縁体20'は、基板20の上に形成されている。ゲート絶縁体26およびゲート電極26'は、シリコン層21の表面上に形成され、従って、これ以降ときどきフローティング・ボディと呼ぶチャネル領域21'には電気的接続は行われていない。

【0023】高論理レベルの電圧が、ドレイン（SRAMの場合は、ノード拡散部とも呼ばれる）領域22、およびソース（SRAMの場合は、ビット・ライン拡散部とも呼ばれる）領域24の両方に印加され、低論理レベルの電圧が、例えば、SRAMのビット・ラインまたはダイナミック・バス・ゲート論理回路のプリチャージの際の場合のように、ゲート電極26'に印加されると、ゲート酸化物26の下にフローティング・ボディすなわちチャネル領域21'が、熱的に生成されたキャリア

(この場合は、“+”で示したホール)を蓄積する。次に、ビット・ライン(ソースまたはドレイン)が、選択されたSRAMセルへの書き込み、または論理入力の評価の時の場合のように、低論理状態にプルされると、接合23が順方向にバイアスされ、電子がフローティング・ボディに注入され、接合25によって捕集され、蓄積されたキャリアが、矢印 dQ_B/dt で示すように、再結合電流として接合23にディスチャージされる。この注入され捕集された電子流は、接合23および25を有する寄生ラテラル・バイポーラ接合トランジスタ内で、その寄生トランジスタを流れる電流スパイク $I_{BJT}(t)$ を発生させる。

【0024】トランジスタが、メモリのビット・ラインとSRAM(またはDRAM)メモリセルの記憶ノードとの間に転送ゲートとして接続されると、電流スパイクは、ノード(ソース)拡散部を経て記憶ノードをディスチャージしようとする。SRAM内では、このディスチャージ電流は、SRAMメモリセルの双安定回路によって記憶ノードに送られる電流よりも一時的にはるかに大きく、メモリセルの記憶状態の反転を生じさせる。勿論、DRAMでは、一般に、ディスチャージの際に失われた電荷を再供給する機構はない。DRAMのリフレッシュは、ディスチャージが大きくなりすぎると、正しく実行することができない。同様の導通効果は、パス・ゲート論理回路内で起こり、このパス・ゲート論理回路は、転送ゲートの接続部がSRAMの双安定回路に接続されると殆ど同じように、負荷トランジスタに接続された論理ツリーを具現するトランジスタを有する。従って、本発明の以下の説明は、SRAMに対する本発明の適用関係についてであるが、本発明は、SOI FETを有する殆ど全てのデバイスに適用できることを理解すべきである。

【0025】電流スパイクの大きさは、フローティング・ボディ上の過剰電荷量(ベース電流の大きさを決定する)と、寄生トランジスタのゲインとの両方の関数である。この過剰電荷量は、通常動作の際にトランジスタによって供給される電流を増大することができるので、メモリデバイスの応答速度に対して有効に作用する。従って、過剰電荷の減少は、論理回路の応用におけるSOI FET技術の性能の利点を減少させる。

【0026】バイポーラ・トランジスタのゲインは、寄生であっても寄生でなくても、ベース、エミッタ、コレクタの相対ドーピング・レベルまたは濃度を変更することによって変えることができる。しかしながら、FETのチャンネルのドーピング・レベルに対するソースおよびドレインのドーピング・レベルを変更し、またはソースおよびドレインのドーピング・レベルに対するチャンネルのドーピング・レベルを変更することによって、ドレインおよびソースの不純物領域の境界によって形成される接合を取り囲む空乏領域の幅(例えば、厚さ)を変える

ことができる。バルク・デバイスとして形成されたFETにおいては、空乏領域の幅の減少は、空乏キャパシタンスを増大し、スイッチング速度を減少させる。その影響は少なくなるが、FETが、SOI技術を用いて薄いシリコン層を占有するように形成されたときはそのままである。

【0027】さらに重要なことには、SOI技術では、増大された空乏領域の厚さは、FETのチャンネルを効果的に短くし、デジタル回路および使用されるチップ・スペースにおいて重要な多くの電気的特性を劣化し、および適切なチャンネル長が維持されているときの集積密度を低下する。この後者の問題は、SRAMにおいて特に厳しい。その理由は、各々のメモリセルが複数のトランジスタを有し、空乏領域によって占められるスペースが、チップ上の全てのトランジスタのソースおよびドレインの数だけ複数倍化され、実際の大きさのチップ上に製造することができるメモリセルの数を非常に少なくするからである。さらに、寄生バイポーラ・トランジスタのゲイン、および蓄積される過剰電荷の量が、常にかつあらゆる動作条件の下で減少し、一方、半選択書き込み妨害の影響は、書き込み動作がプリチャージで行われるときに、半選択書き込み妨害が避けられないとしても、書き込みサイクルの際の短い間隔の間だけは生じる。さらに、チャンネル・ドーパント濃度の調整によるゲインの制限は、電流減少の実効性の点で制限される。というのは、特定のレベル以上のチャンネル・ドーパント濃度の増大は、大きい電流減少を与えないからである。従って、ドーパント濃度の調整は、一般にバイポーラ・トランジスタのゲインを調整するのに使用されるが、このような可能性は、特に、SRAMおよびDRAM内で使用されるときに、寄生SOI FETにおけるフローティング・ボディ電荷の導通を十分抑制する適切または実際的な解決方法を与えない。

【0028】さらに、図2および図3には、いわゆるベース電流と呼ばれる再結合電流 I_R およびトランジスタ(移送)電流 I_{BJT} のグメル・プロット(Gummel plot)が、ボディ/ソース・バイアスすなわち電圧 V_{BS} とも呼ばれるベース・エミッタの順方向バイアス V_{BE} の関数として実線で示されている。トランジスタのゲインすなわちベータは、これらの電流値の比 I_{BJT}/I_R として定義され、点線でプロットされている。従って、図2および図3は、個々のバイポーラ導通特性と、 $6 \times 10^{17}/\text{cm}^3$ および $5 \times 10^{18}/\text{cm}^3$ のチャンネル・ドーパント濃度を有するFETで形成された寄生バイポーラ・トランジスタのゲインとをそれぞれ示している。ソースおよびドレインのドーパント濃度は、一般にかなり高く(例えば、約 $10^{20}/\text{cm}^3$)、特定の濃度は、当業者に理解されるトランジスタの性能にとって重要であるが、本発明の原理を理解するには重要ではない。

【0029】図2および図3のグメル・プロットは、ほぼ類似しているように見えるが、図3の I_R 曲線は、図2の I_R 曲線よりも非常に高く、また、前述した条件の下で、および図5に点線で示されるように、一時的な寄生バイポーラ導通の間に生じるベース順方向バイアスの範囲に相当する約0.8V~1.0Vの V_{BS} の範囲においては、寄生バイポーラ電流は、非常に低いことに注意すべきである。同様に、同じ範囲のベータ曲線（ゲイン）の頂部はかなり低い（例えば、 V_{BS} が1.0Vに近づくにつれて、約15から10以下にまで減少する）。

【0030】この電流スパイクの変動の影響は大きく、図4および図5に示される。特に、図4に示すように、電流ピークの振幅は、埋込酸化層（例えば、チャンネル領域21'の下側部分）20'に近いチャンネル領域21'の部分におけるドーパント濃度の変化、およびその結果生じたトランジスタのゲインの減少により、およそ半分になっている。しかしながら、ドーパント濃度がさらに増大しても、電流スパイクの振幅がさらに減少することはない。さらに、トランジスタの応答速度は変化せず、電流スパイクは、例えばSRAMおよびバス・ゲート論理回路における、潜在的なノイズ源、および電源への負荷を表している。図5の実線の曲線に示すように、フローティング・ボディの過剰電荷のディスチャージは、ソース・ラインの立下り時間に匹敵する時間間隔で起こる。埋込酸化層20'に近いチャンネル領域21'の部分におけるボディ・ドーピングが、好ましくないという他の重要な理由は、適切な回路性能のために正確に調整されるべきFETのしきい値電圧に影響を与えることにある。これらの理由および上述した他の理由については、ドーパント濃度の調整は、寄生バイポーラの導通による電圧スパイクを減少させるには、あるいはSRAMの関係では、半選択書き込み妨害を適切に抑制し、またメモリエルの安定性を適切に増大するためには、十分に有効ではない。

【0031】図6には、本発明による改良されたFET構造100が断面図で示されている。本発明の構造は、図1の従来のSOI FETとは異なり、ソースおよびドレイン領域が、ソースおよび/またはドレイン領域の底部と絶縁体層20'との間にギャップを残して、シリコン層21内を通り X_j の深さまで部分的に拡がっている。しかしながら、ソースおよびドレイン領域を取り囲む空乏領域110は、最小幅、すなわちドーブド領域より大きい厚さ W_B を有し（好ましくは、ソースまたはドレイン領域と、シリコン層との間の0Vバイアスで）、 W_B は、絶縁体層20'の表面に対する、ソースおよびドレインの下に残りの深さすなわちギャップに等しいか、またはそれより大きい。

【0032】ドーブされたソースおよびドレイン領域のこの形状は、接合の面積が増大するので、高いキャパシタンスが存在することが予測される。実際、通常動作の

際、ソースまたはドレインの接合の逆方向バイアスは、幾分空乏領域を広げる。その結果、ソースおよびドレインの下領域は、電荷蓄積のためには利用できず、ソースおよびドレインの占める面積、およびその結果得られるキャパシタンス（便宜上、“空乏キャパシタンス”と呼ばれる）は、図1の従来のトランジスタと殆ど変わらない。従って、SOI FETの高周波数性能が維持される。

【0033】しかしながら、寄生バイポーラ・トランジスタのエミッタ・ベース接合に相当するソース・ボディ（SB）接合の順方向バイアスの期間中、空乏領域がギャップより小さい厚さにまで縮小して、ソースまたはドレインの下領域を露出し、およびバイアスが正または順方向（あるいは、空乏領域がギャップをほぼ満たさないほど十分に負または逆方向）になると、有効なソース・ボディ接合が、突然にかなり増大する。この効果は、寄生バイポーラの電流スパイクを抑制するのに特に重要な幾つかの態様を持つ。

【0034】第1に、注入領域の増大は、有効再結合電流（例えば、ベース電流）密度を増大し、図7のグメル・プロットの点線の曲線によって示される一定量のバイポーラ・トランジスタ電流を生じるのに必要とされるベース電流の量を増大し、有効にゲインを減少する。さらに、同一のベース電流について、 V_{BS} （例えば、 V_{BE} ）が、結果として得られるバイポーラ・トランジスタ電流 I_{BJT} とともに低下する。この効果は、電流スパイクが他の方法で制限されるとより増大する。

【0035】第2に、ベース電流 I_R の相対的増大は、チャンネル・ドーパント濃度レベルの増大と同様に、 V_{BS} が約0.8~1.0Vの範囲にある点線のベータ曲線の頂部領域におけるトランジスタのゲインを効果的に減少する。（本発明の好ましい実施例においては、トランジスタは、市販のSRAMに用いられるトランジスタに匹敵し得る形状からなり、微調整された $3 \times 10^{18}/\text{cm}^3$ のチャンネル・ドーパント濃度が好ましく、この濃度は、それぞれ図2および図3に反映されたチャンネル・ドーパント濃度の中間である。しかしながら、ドーパント濃度の調整は、本発明の実施には必要でなく、チャンネル・ドーパント濃度によって予め達成できるゲインの同じ減少が、本発明によるソースおよび空乏領域の形状のみによって達成され得る。）ゲインの減少は、ベースについてのトランジスタの移送電流または再結合電流を減少する。

【0036】第3に、おそらく最も重要であるが、ソース・ボディの接合が順方向バイアスされると、ソース/ドレイン領域は、接合のキャパシタンス（便宜上、“拡散キャパシタンス（diffusion capacitance）”と呼ばれる）を一時的に増大する（ソースおよびドレインの下側の境界部は、注入後の拡散によって最も容易に調整することができるが、ドーブされた

ソース領域を形成する方法は、本発明の実施にとってはそれほど重要でなく、ソースおよびドレイン形成の方法に関しては、この明細書には何も示されていないことを理解すべきである。増大された拡散キャパシタンスは、接合が順方向バイアスされている動作状況においてのみ有効であり、従って、寄生バイポーラ・トランジスタの周波数応答は、順方向バイアスの間に一時的に低下し、ソースおよびドレインの接合が逆方向バイアスされ（あるいは、ギャップが0バイアスにおける空乏領域の幅に従って好適に寸法決めされているので、バイアスされない）、空乏領域が、ソースおよびドレインの下にギャップを満たしているときには、全ての他の動作状態にある間、動作が全く影響を受けないようにする。

【0037】本発明によるSOI FETの有効的に変え得る形状の後者の態様の効果は、図8および図9を図4および図5と比較するとよく分かる。（図8および図9は、拡散キャパシタンスの変動による影響のみを示すシミュレーションである。）特に、本発明は、電流スパイクのピークを、ドーパント濃度調整によって達成できるかなり低いレベルに制限する。一時的ディスチャージは、また以下のソース電圧の遷移ほど急激ではなく、図示のように、順方向バイアス V_{BS} が同じに保持されるとしても、曲線の全体にわたって一時的ディスチャージは非常に緩やかである。

【0038】上述した説明により、当業者によれば、本発明によるトランジスタの有効に変え得る形状の顕著な効果は、達成できるソース/ドレイン領域の有効な変更に依存して生じることが分かる。従って、ソースまたはドレインの接合の全面積は、バイポーラ電流のピークを最大に減少させるための設計基準内で最大にするべきである。

【0039】ソースの下に最大ギャップは、0Vバイアスにおける空乏領域の厚さにほぼ等しいことが好ましいと指摘してきた。与えられたシリコン層の厚さに対しては、この条件は、シリコン層が、ソースの厚さと空乏層の厚さとの合計、すなわち、 $T_{Si} = X_j + W_d$ に等しくなるような空乏層の厚さに相当する。しかしながら、図10（変更可能な形状/キャパシタンスと、減少したゲインと、前述の増大したベース電流/減少した順方向バイアスとの全体の効果を含むシミュレーションの結果を示す）において、与えられたシリコン層の厚さに対しては、例えば、半選択書き込み妨害の際の電流スパイクの抑制は、ギャップが空乏領域によって満たされる限りは、ギャップの幅が増大するにつれて大きくなる。換言すれば、ギャップと空乏層との幅は、シリコン層の厚さ（および応答速度の所望の減少のためのソースのギャップ領域）の選択により共に調整でき、これにより、ソース領域において、有効領域の増大を遅かれ早かれ発生でき（例えば、それぞれ、通常のFET動作の際ではなく、順方向バイアスが生じる前に、またはより大きな正

バイアスでそれぞれ発生する逆方向バイアスのレベルで）、減少した応答速度の調整可能なオンセットおよび寄生バイポーラ電流の調整可能な減少を可能にする。しかしながら、ソースの下にギャップの幅をわずかに超えて空乏領域の厚さを増大することは（これは、減少した高周波数応答、ゲインの減少などのオンセットを遅延する）、前述した短チャネル効果のような他の問題を引き起こし、SRAM環境においては予想される利益を制限される。また、ソース/ドレイン構造は、シリコン層の全深さに広がっていないので、このシリコン層に電圧を供給して、空乏層の厚さに対しさらなるおよび/または微細な調整を行うことができることに留意すべきである。

【0040】しかしながら、このような本発明による構造のこのような調整に関し、さらなるシミュレーション研究は、ソースおよび周囲空乏領域の合計厚さの下にギャップが、0Vバイアスで存在すると、高周波数性能が、空乏領域がソースの下にギャップを満たさない逆方向バイアスの全レベルで低下することを示している。さらに、これらのシミュレーション研究によれば、見掛けの寄生バイポーラ電流（例えば、ドレインからボディ接合キャパシタンスへの貫通電流）が、与えられたバイアス（例えば、0V）における空乏領域の下にギャップが増大するにつれて増大することが明らかである。従って、本発明によるトランジスタの好適な構造は、空乏領域が0Vバイアスで絶縁体層に突合わされるべきであり、調節または調整は、次のように小さい調節に限定される。すなわち、非常に小さい逆方向バイアスのみが、有効寄生バイポーラ・トランジスタの順方向バイアスの予測されるレベルに対して空乏領域の下にギャップを制限するために、ギャップを満たす空乏領域を多くとも必要とする。従って、これらのさらなるシミュレーション研究は、上述した好適な実施例を有効にするように思われる。この好適な実施例では、発明者の考えた最適な構造は、0Vバイアスにおける空乏領域が、ソース不純物領域と絶縁体層20'との間のギャップを満たすべきであることを与える。

【0041】一時的な寄生バイポーラ電流を抑制する本発明の有効性は、様々なシリコン層の厚さのシミュレーションにより得られる様々なギャップと、1600Åの一定のソース/ドレインの厚さ（接合深さ）とについての図10の曲線から観察することができる。図10に“突合わせ接合（Butted junction）”と表記された曲線は、ソース/ドレインの厚さとシリコン層の厚さとが同じであるので、従来のSOI FET構造を限定した場合であるとみなされることを、比較のために留意すべきである。ソース/ドレインと絶縁体層との間のギャップの幅の増大は、ギャップが特に大きくなるとその有益性が制限されることが分かる。しかしながら、このような制限に到達するほど十分大きいギャップ

ブは、幾つかの応用における非現実的な動作条件に対応する。というのは、より大きな逆方向バイアスは、空乏領域がギャップを満たし、および/または、上述した見掛けの寄生バイポーラ電流を増大させることを必要とするからである。それにもかかわらず、本発明による一時的な電流スパイクの大きさの減少は、チャネル・ドーパント濃度の調整によって得られる減少（約50%）よりも、かなり大きくなる（例えば、65%～85%の減少）。

【0042】従って、本発明によるトランジスタ構造の構成の一般化のためには、ソースの下ギャップが、本発明の顕著な効果を生み出すことを支配していることに注意すべきである。従って、以下の空乏領域の厚さ W_d の一般式によって、空乏層の幅または厚さを近似することが好ましいと考えられる。

【0043】

【数1】

$$W_d = \sqrt{\frac{2E_s kT}{q^2} \left[\frac{N_{s/d} + N_B}{N_{s/d} N_B} \right] \ln \left[\frac{N_{s/d} N_B}{n_i^2} \right]}$$

【0044】ここで、 E_s は半導体の誘電率、 k はボルツマン定数、 T は絶対温度（ケルビン度）、 q は電荷、 N は添字によって示される領域のドーパント濃度、 n_i は所望の動作電圧および寄生バイポーラ電流のオンセットのための電子の固有濃度である。また、シリコン層の厚さ T_{Si} （例えば、現在のSRAM構造では、約1800～2100Åが適切である）を選択し、この厚さは X_j が所望の分離よりなることを可能にすることが好ましいと考えられる。すなわち、 $T_{Si} = W_d + X_j$ である。従って、ソース深さ X_j を、注入および拡散の周知の技術または他の方法（例えば、エッチングおよび充填）により所望の範囲内に調整して、空乏領域 W_d によって満たされるギャップを決める深さを得る。しかしながら、注入後の拡散は、さらに容易に調整できるので好ましい。事実、FETの高周波数応答は、ソースおよびドレインの深さが、空乏領域がギャップを満たすのに不十分であると低下するので、アニーリングおよび拡散は、トランジスタの機能が所望のものとなるまで実行できる。このようにして、潜在的な製造歩留りを高める。

【0045】上述したように、本発明のトランジスタ構造は、寄生バイポーラ・トランジスタの導通の影響を低減し、一方、FETの接合が順方向にバイアスされている間およびバイポーラ導通が支配している時のみ、ゲインおよび周波数応答の両方を一時的に減少することによって、SOI電界効果トランジスタの高性能を維持する。これにより、寄生バイポーラ電流スパイクの振幅を効果的に抑制し、十分に長い期間にわたってディスチャージを拡げる。この長い期間では、特に、プリチャージされたSRAMに適用されるように、ディスチャージ電流は、双安定性メモリセル回路によって容易に置換で

き、高いメモリセルの安定性は、電流規格以上にベータ比を増大することなしに得られる。FETの高周波数性能は維持され、SRAMにおいて動作速度の不利益はない。本発明の新たなトランジスタは、追加の電流スパイクの抑制、およびSRAMにおけるメモリセルの安定性の増大のためにバイポーラ導通電流を制限する他の技術と十分互換性があり、ソース/ドレインまたはボディのドーパント濃度の調整と、前記米国特許出願で使用される方法およびデバイスをも有する。フローティング・ボディおよび過剰電荷の効果の全ての有利性は、維持され増大される。製造歩留りは高く、アニーリングおよび拡散により動作特性を調整することによって増大できる。

【0046】本発明を一つの好適な実施例により説明してきたが、当業者であれば、本発明の趣旨および範囲内で変更して実施できることが分かるであろう。例えば、本発明の原理の適用からFET構造まで本発明の利点を達成するには、ソースおよびドレインの両方の下にギャップを設けることは必要ない。しかしながら、このような本発明の変更は、ソースおよびドレイン領域の別個の形成を必要とするが、本発明の顕著な効果を、上述した好適な実施例よりも小さい程度に可能性として実現することができる。このような構造が作成されるならば、空乏領域の幅よりも大きいギャップがソース領域の下に形成され、ドレイン領域の下にはギャップは形成されないであろう。寄生バイポーラ電流の減少は、このような構造では連続的であり、本発明におけるように一時的ではないであろう。この変更は、様々な深さのソースおよびドレインの接合を作成する実際の困難さにより現在では好ましくない。さらに、反転モードにおけるFETの動作は、ソースおよびドレインの機能を逆に処理される。

【0047】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 絶縁体層上のシリコン層に形成されたソース領域およびドレイン領域を各々有するシリコン・オン・インシュレータ電界効果トランジスタにおいて、前記ソース領域およびドレイン領域の一つと前記絶縁体層との間にギャップを有し、前記ギャップが、前記ソース領域およびドレイン領域の前記一つと前記シリコン層との間のほぼ0Vバイアスにおける空乏領域の厚さと等しいかまたは小さい幅であることを特徴とする、シリコン・オン・インシュレータ電界効果トランジスタ。

(2) 前記ギャップが、前記ソース領域およびドレイン領域の前記一つと前記シリコン層との間の0Vバイアスにおける空乏領域の厚さに等しい幅であることを特徴とする、上記(1)に記載のシリコン・オン・インシュレータ電界効果トランジスタ。

(3) 約 $3 \times 10^{18} / \text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、上記(1)に記載のシリコン・オン・インシュレータ電界効果トランジスタ。

(4) 約 $6 \times 10^{17} / \text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、上記(1)に記載のシリコン・オン・インシュレータ電界効果トランジスタ。

(5) 約 $3 \times 10^{18} / \text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、上記(2)に記載のシリコン・オン・インシュレータ電界効果トランジスタ。

(6) 約 $6 \times 10^{17} / \text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、上記(2)に記載のシリコン・オン・インシュレータ電界効果トランジスタ。

(7) シリコン・オン・インシュレータ電界効果トランジスタを有するデジタル論理回路において、前記トランジスタが、絶縁体層の上のシリコン層に形成されたソース領域およびドレイン領域を各々有し、前記トランジスタが、前記ソース領域およびドレイン領域の一つと前記絶縁体層との間にギャップを有し、前記ギャップが前記ソース領域およびドレイン領域の前記一つと前記シリコン層との間のほぼ0Vのバイアスにおける空乏領域の厚さに等しいかまたは小さい幅を有することを特徴とするデジタル論理回路。

(8) 前記トランジスタの前記ギャップが、前記ソース領域およびドレイン領域の前記一つと前記シリコン層との間のほぼ0Vのバイアスにおける空乏領域の厚さに等しい幅を有することを特徴とする、上記(7)に記載のデジタル論理回路。

(9) 前記トランジスタが、約 $3 \times 10^{18} / \text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、上記(7)に記載のデジタル論理回路。

(10) 前記トランジスタが、約 $6 \times 10^{17} / \text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、上記(7)に記載のデジタル論理回路。

(11) 前記トランジスタが、約 $3 \times 10^{18} / \text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、上記(8)に記載のデジタル論理回路。

(12) 前記トランジスタが、約 $6 \times 10^{17} / \text{cm}^3$ のチャネル・ドーパント濃度を有することを特徴とする、上記(8)に記載のデジタル論理回路。

(13) 前記デジタル論理回路がメモリセルを有し、前記トランジスタが前記メモリセルに接続された転送ゲート・トランジスタであることを特徴とする、上記

(7)に記載のデジタル論理回路。

(14) 前記メモリセルが、双安定回路であることを特徴とする、上記(13)に記載のデジタル論理回路。

(15) シリコン・オン・インシュレータ電界効果トランジスタの動作方法において、前記シリコン・オン・インシュレータ電界効果トランジスタのソース領域およびドレイン領域の一つと、前記電界効果トランジスタの下の絶縁体層との間のギャップを空乏領域で満たすステップと、前記空乏領域の厚さを、前記ギャップより小さい厚さに一時的に減少させるステップとを含むことを特徴とする、シリコン・オン・インシュレータ電界効果トランジスタの動作方法。

ンジスタの動作方法。

(16) 前記シリコン・オン・インシュレータ電界効果トランジスタが形成されているシリコン層に電圧を印加するステップをさらに含むことを特徴とする、上記(15)に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

(17) 前記電界効果トランジスタのソースおよびドレインの両方に、高論理レベルの電圧を印加するステップと、前記電界効果トランジスタの前記ソース領域およびドレイン領域の一つに、低論理レベルの電圧を連続して印加するステップとをさらに含むことを特徴とする、上記(15)に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

(18) 前記電界効果トランジスタに接続されたディスチャージ回路のインピーダンスによって、前記電界効果トランジスタの寄生バイポーラ電流を制限するステップをさらに含むことを特徴とする、上記(17)に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

(19) 前記電界効果トランジスタとともに形成された寄生バイポーラ・トランジスタのゲインを、チャネル・ドーパント濃度によって制限するステップをさらに含むことを特徴とする、上記(15)に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

(20) 前記空乏領域の厚さを一時的に減少させるステップが、前記電界効果トランジスタの高周波数応答を一時的に減少させるステップをさらに含むことを特徴とする、上記(15)に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

(21) 前記空乏領域の厚さを一時的に減少させるステップが、前記電界効果トランジスタとともに形成された寄生バイポーラトランジスタのゲインを一時的に減少させるステップをさらに含むことを特徴とする、上記(15)に記載のシリコン・オン・インシュレータ電界効果トランジスタの動作方法。

【図面の簡単な説明】

【図1】 SOI技術で製造された従来のFETの断面図である。

【図2】 図1の構造内に存在する従来の寄生バイポーラ・トランジスタの、様々なチャネル・ドーパント濃度におけるゲインを示すグメル・プロットである。

【図3】 図1の構造内に存在する従来の寄生バイポーラ・トランジスタの、様々なチャネル・ドーパント濃度におけるゲインを示すグメル・プロットである。

【図4】 SOI CMOS SRAMにおける半選択書き込み妨害電流スパイクへのバイポーラ・トランジスタのゲインの変化の影響を示す図である。

【図5】 SOI CMOS SRAMにおける半選択書き込み妨害電流スパイクへのバイポーラ・トランジスタのゲインの変化の影響を示す図である。

【図6】本発明によるSOI FETの断面図である。

【図7】本発明による寄生バイポーラのゲインの減少を示すゲメル・プロットである。

【図8】半選択書き込み妨害電流スパイクへの本発明による拡散容量の変化の影響を図4と比較して示す図である。

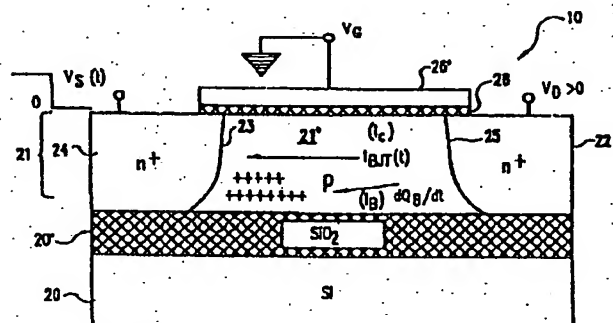
【図9】半選択書き込み妨害電流スパイクへの本発明による拡散容量の変化の影響を図5と比較して示す図である。

【図10】ギャップ幅への電流スパイクの抑制の依存度を示す図である。

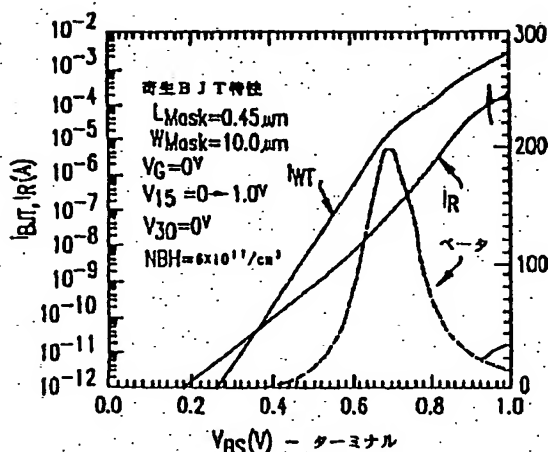
【符号の説明】

- 10 SOI FET
- 20 基板
- 20' 酸化物層
- 21 シリコン層
- 21' チャンネル領域
- 22 ドレイン領域
- 24 ソース領域
- 23, 25 接合
- 26 ゲート酸化物
- 26' ゲート電極
- 100 改良FET構造
- 110 空乏領域

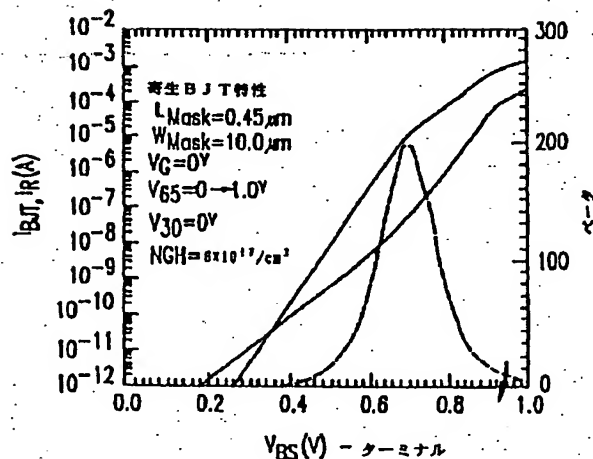
【図1】



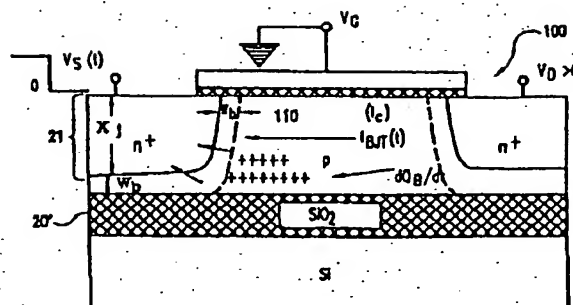
【図2】



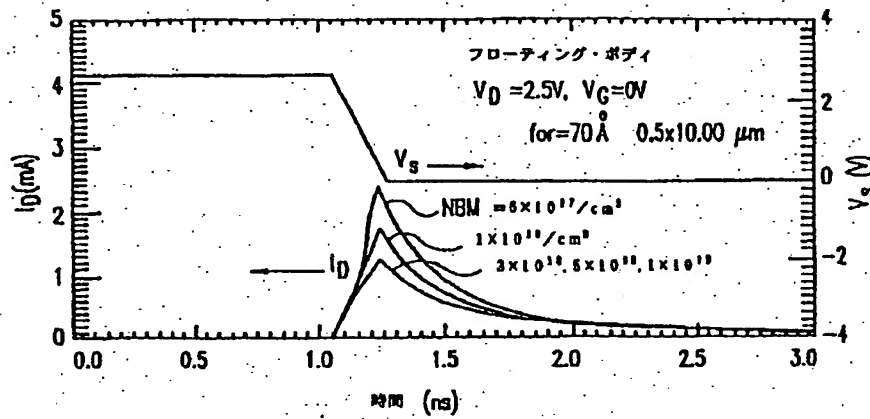
【図3】



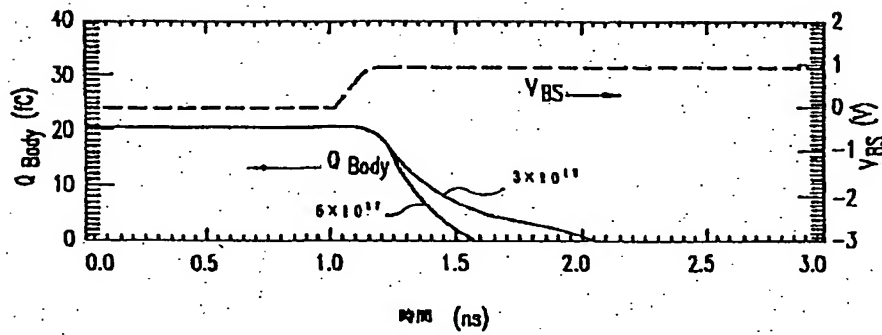
【図6】



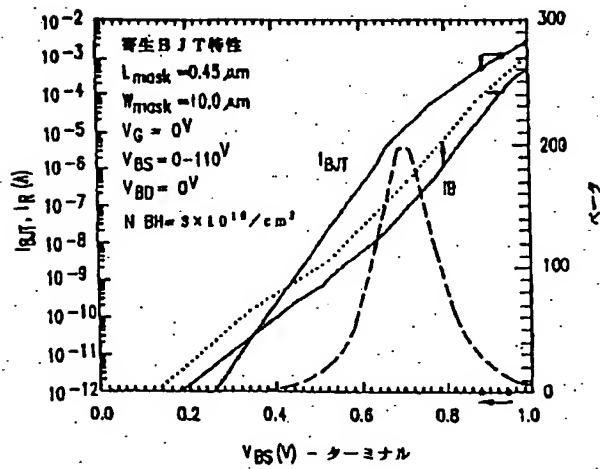
【図4】



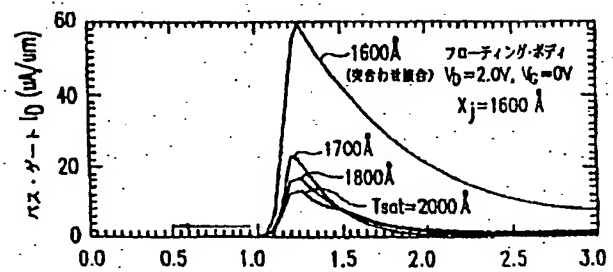
【図5】



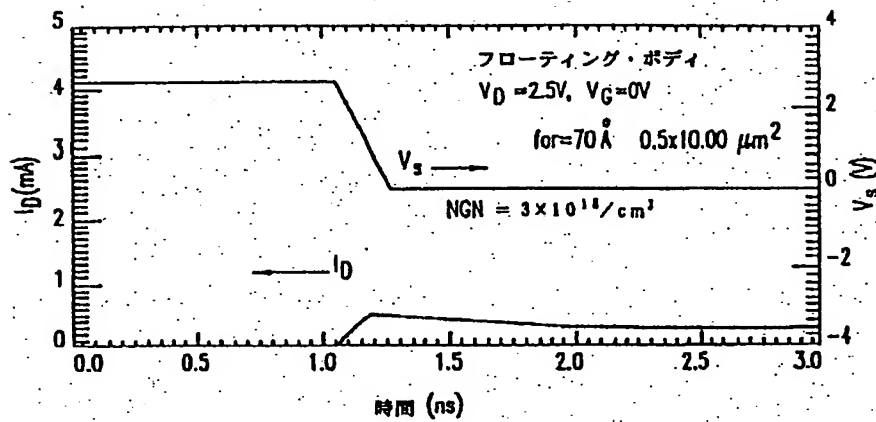
【図7】



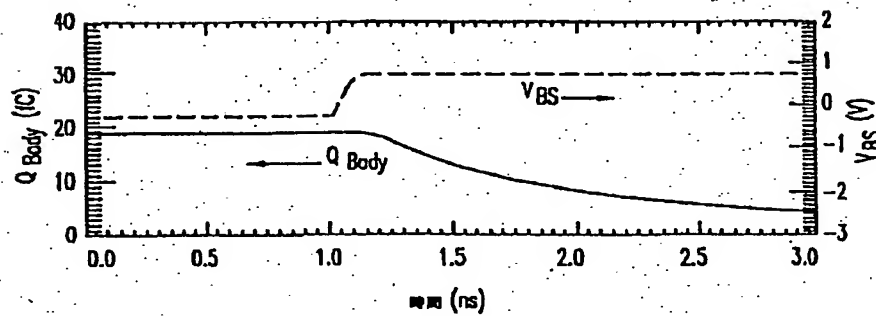
【図10】



【図8】



【図9】



フロントページの続き

(72)発明者 ファリボーズ・アッサデラギー
 アメリカ合衆国 10541 ニューヨーク州
 マホバック クロトン フォールズ ロ
 ード 250

(72)発明者 ローレンス・フレデリック・ワグナー、ジ
 ュニア
 アメリカ合衆国 12524 ニューヨーク州
 フィッシュキル コンコルド ロード
 22